智能数字信号处理器及其解决方案提供商

BY320RV0025 电路板设计指南

版本V1.0

青岛本原微电子有限公司

Copyright © 2026 Qingdao Benyuan Microelectronics Co., Ltd.

摘 要

BY320RV0025是功能强大的微控制器，专为需要实时控制的复杂系统而设计，在许多汽车和工业应用中尤为重要。这器件具有高速、低延迟集成模拟和控制外设，使用户能够整合其控制和通信设计。提供了有关系统级硬件设计、器件选型、原理图设计和布局建议的信息。是硬件开发人员的基本指南，有助于简化设计过程， 同时降低设计出错的可能性。讨论的主要主题包括：PCBlayout要求、电源要求、通用输入/输出 (GPIO) 连接、模拟输入和ADC、时钟生成和要求以及 JTAG 调试等。

目 录

摘 要 1

1 典型的BY320RV0025系统方框图 4

2 引言 5

3 原理图设计 6

3.1 数字 IO 6
3.1.1 通用输入/输出 6
3.1.2 集成外设和 X-BAR 7
3.1.3 控制外设 7
3.1.4 通信外设 7
3.1.5 引导引脚和引导外设 9
3.2 模拟 IO 10
3.2.1 模拟外设 10
3.2.2 选择模拟引脚 10
3.2.3 内部与外部模拟基准 11
3.2.4 ADC 输入 11
3.2.5 驱动选项 12
3.2.6 低通/抗混叠滤波器 12
3.3 电源 12
3.3.1 电源要求 13
3.3.2 电源时序 13
3.3.3 VDD 稳压器 14
3.3.4 功耗 14
3.3.5 功率计算 14
3.4 XRSn 和系统复位 15
3.5 计时 16
3.5.1 内部与外部振荡器 17
3.6 调试和仿真 19
3.6.1 JTAG/cJTAG 19
3.7 未使用的引脚 20

4 PCB 布局设计 21

4.1 布局设计概述 21
4.1.1 建议的布局实践 21
4.1.2 电路板尺寸 21
4.1.3 层堆叠 21
4.2 建议的电路板布局布线 22
4.3 放置元件 22
4.3.1 电力电子元件注意事项 23
4.4 接地层 24
4.5 模拟和数字分离 26
4.6 信号布线的引线和过孔 27
4.7 散热注意事项 27

5 EOS、EMI/EMC 和 ESD 注意事项 29

5.1 电气过载 29
5.2 电磁干扰和电磁兼容性 29
5.3 静电放电 31
6 修订历史纪录 32

1 典型的BY320RV0025系统方框图

图 2-1 显示了典型的基于BY320RV0025的控制系统图。该微控制器由一个可适应初级电压轨的电源系统供电，该系统包括一个 3.3V 模拟电压 (VDDA)、一个 3.3V 数字电压 (VDDIO)。BY320RV0025器件提供丰富的外设支持，基于BY320RV0025的系统通常包含以下连接到 MCU 的电路： 电源管理、模拟输入的信号调节、晶体或外部振荡器、复位电路、通信收发器、数字 IO 引脚的外部接口、数字检测、脉宽调制 (PWM) 接口/驱动器以及任何其他所需的支持电路。

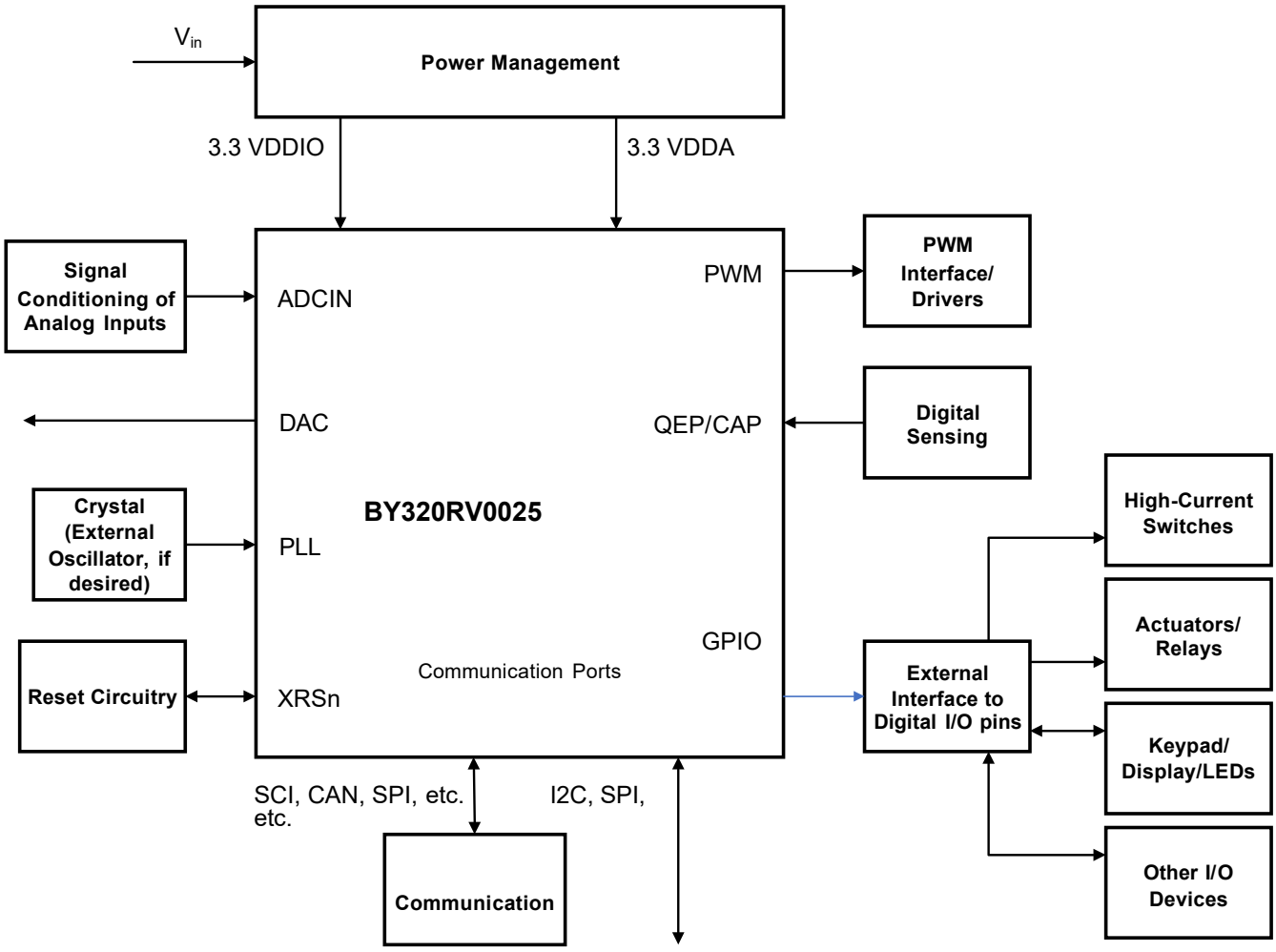


图 2-1. 典型的BY320RV0025系统

BY320RV0025是复杂的器件，这使得创建利用许多集成外设且设计良好的定制电路板成为一项巨大的挑战。尽管并非所有包含的外设在所有情况下都是必要的。在整个过程中必须非常小心，以确保实现最佳的器件性能。仍然特别具有挑战性的领域包括注意所有以不同频率运行的不同内部模块、在所有板载模拟信号之间保持信号完整性以及 EMI/EMC 注意事项。

2 引言

BY320RV0025实时微控制器采用高性能封装，运行频率为150 MHz，这与一个经过算术调整的指令集一起使 BY320RV0025能够在超低延迟控制系统中运行浮点或点代码。在性能方面处理能力的提高和功耗的进一步降低使得器件功能极其强大，但也极大地增加了使用BY320RV0025进行设计的复杂性。BY320RV0025微控制器仍然是一款可扩展性很高的器件，但这些进步带来了更多的模拟挑战。什么器件最适合我的系统？应添加哪些额外的元件来提高稳定性？为了充分提高器件性能，应考虑哪些布局注意事项？本应用报告概述了所有这些信息以及其他关键标准。

3 原理图设计

以下各节概述了使用BY320RV0025器件设计初始原理图所需执行的步骤。这些部分详细介绍了与选择封装、了解器件的功能和集成外设以及提高系统和器件性能的所有必要注意事项有关的信息。

3.1 数字 IO

本节介绍器件中存在的数字信号，从 GPIO 到集成通信和控制外设支持，范围十分广泛。

3.1.1 通用输入/输出

BY320RV0025微控制器包含不同数量的通用 I/O (GPIO) 引脚。它们用作器件的数字输入和输出，这些 GPIO 引脚可以配置为典型的 GPIO 或外设 I/O 信号。当在不同应用中使用BY320RV0025器件时，该设计提供了出色的灵活性。

多达 12 个独立的外设信号可在一个 GPIO 引脚上被多路复用，并且同一外设可以多路复用到多个 GPIO 引脚上。

对于每个 GPIO 引脚，最大驱动强度（灌电流/拉电流）为 4mA 。最大切换频率为 25MHz，上升/下降时间为 8ns。请注意。

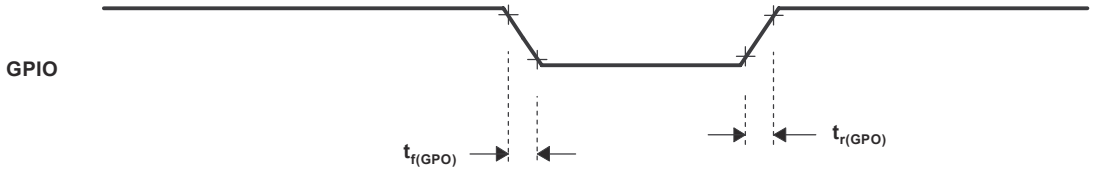


图 3-1. GPIO 输出时序

在复位时，GPIO 引脚被定义为输入，它们都支持内部上拉（在器件引导和复位时被禁用）。可以通过软件选择性地启用或禁用内部上拉。为了避免任何浮动的未键合输入，引导 ROM 将在特定封装中自动对未键合的 GPIO 引脚启用内部上拉。此外，所有 GPIO 引脚在器件启动期间都处于高阻抗状态，直到在固件中对其进行配置。这意味着 PWM 信号、继电器驱动器、芯片选择等应该具有外部拉电阻器，用于在上电期间强制实现某种状态。

作为一项附加功能，GPIO 输入允许用户通过输入限定来过滤掉任何不需要的噪声干扰。有三个可用的输入限定选项：无同步（异步输入）、与 SYSCLKOUT 同步和使用采样窗口的限定。对于配置为外设输入的引脚，可以使用这三个选项中的任何一个对其进行配置。配置了 GPIO 的引脚只能使用采样窗口访问 SYSCLKOUT 同步和限定。有关该功能以及如何围绕它进行设计的更多详细信息，请参阅器件特定技术参考手册的输入限定部分。

3.1.2 集成外设和 X-BAR

如前所述，每个外设信号都被多路复用到许多 GPIO 引脚， 以简化设计和布局过程并实现最大的灵活性。有关列出所有可用 GPIO 外设引脚配置的详细表，请参阅器件数据表中的引脚属性表。

为了将信号从 GPIO 路由到任何不同的 IP 块（例如 ADC、eCAP、ePWM 和外部中断），这些器件使用输入交叉开关 (X-BAR)。输入 X-BAR 可访问每个 GPIO，并可将每个信号路由到前面提到的任何（或多个）IP 块以及 AIO的数字输入侧。本质上，输入 X-BAR 提供了将一个外设的输出路由到另一个外设的功能。这些BY320RV0025器件还包含 GPIO 输出X-BAR，它们从器件内部获取信号并将其输出到GPIO。

除了这两个交叉开关，每个器件还包含另外两种 X-BAR：ePWM X-BAR 和 CLB X-BAR。顾名思义，ePWM X- BAR 负责将信号路由到 ePWM 模块，而 CLB X-BAR 负责将信号路由到 CLB 。CLB 本身也可以访问 CLB INPUT X-BAR 和 CLB OUTPUT X-BAR，从而能够将信号从 GPIO 引脚路由到 CLB 作为输入或输出。ePWM X-BAR 连接至每个 ePWM 模块的数字比较（DC）子模块，以执行跳变区和同步等操作。

3.1.3 控制外设

BY320RV0025 器件包含不同数量的以下控制外设：

- 增强型捕捉 (eCAP) 和高分辨率捕捉子模块 (HRCAP)
- 增强型脉宽调制器 (ePWM) 和高分辨率脉宽调制器 (HRPWM)
- 增强型正交编码器脉冲 (eQEP)

对于特定的控制外设，其性能会受到电路板设计的极大影响。请务必遵循节 4 中概述的布局指南，以减少不必要的噪声并更大限度地提高性能。

3.1.4 通信外设

BY320RV0025 器件包含不同数量的以下通信外设：

- 控制器局域网 (CAN/DCAN)
- 模块化控制器局域网 (MCAN/CAN FD)
- 内部集成电路 (I2C)
- 电源管理总线 (PMBus) 接口
- 串行通信接口 (SCI)
- 串行外设接口 (SPI)
- 本地互连网络 (LIN)
- 快速串行接口 (FSI)

鉴于这些外设的性质及其不同的通信方式，每个系统在设计时都必须考虑到预定的通信外设支持。板级接口（包括 I2C、PMBus 和 SPI）连接到板上其他器件或通过电路板连接到其他器件。由于这些驱动器通常直接运行，因此务必密切注意驱动能力和布线长度。这些因素取决于这些信号的选定频率。

使用 CAN 时，建议在电路板上实施外部振荡器，而不是使用内部振荡器。根据所需的 CAN 参数（如位时间设置、比特率、总线长度和传播延迟），片上零引脚振荡器的精度可能不符合 CAN 协议的要求。

特别是对于 I2C，建议使用外部上拉电阻器将 SDAA 和 SCLA 引脚拉高。太强的上拉（较小的电阻器阻值）会阻止 I2C 引脚被有效地驱动为低电平，而太弱的上拉（较大的电阻器阻值）会影响通信速度。应根据功耗和速度之间的折衷来选择阻值。

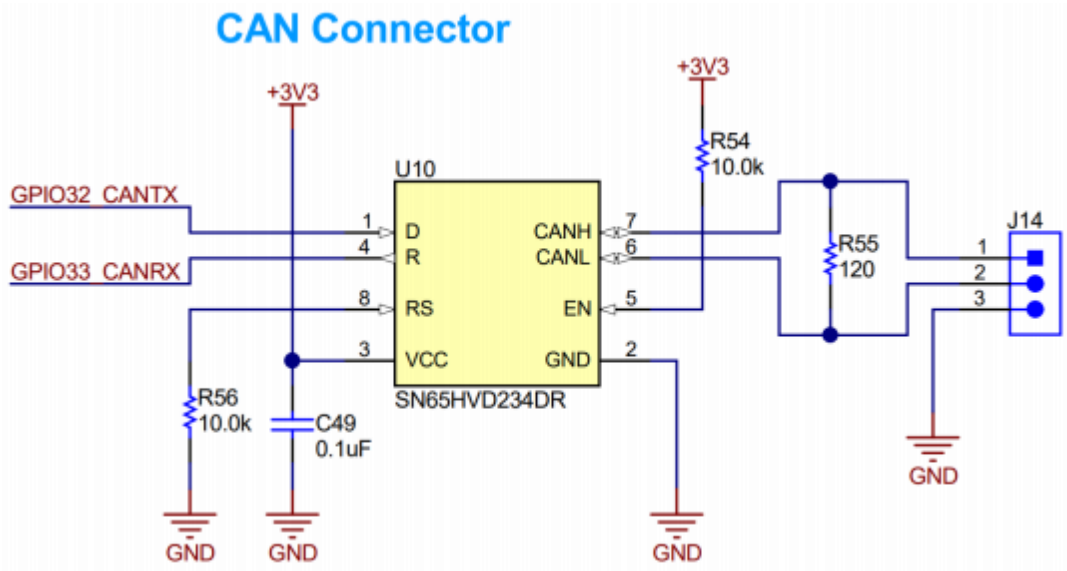


图 3-2. CAN 收发器

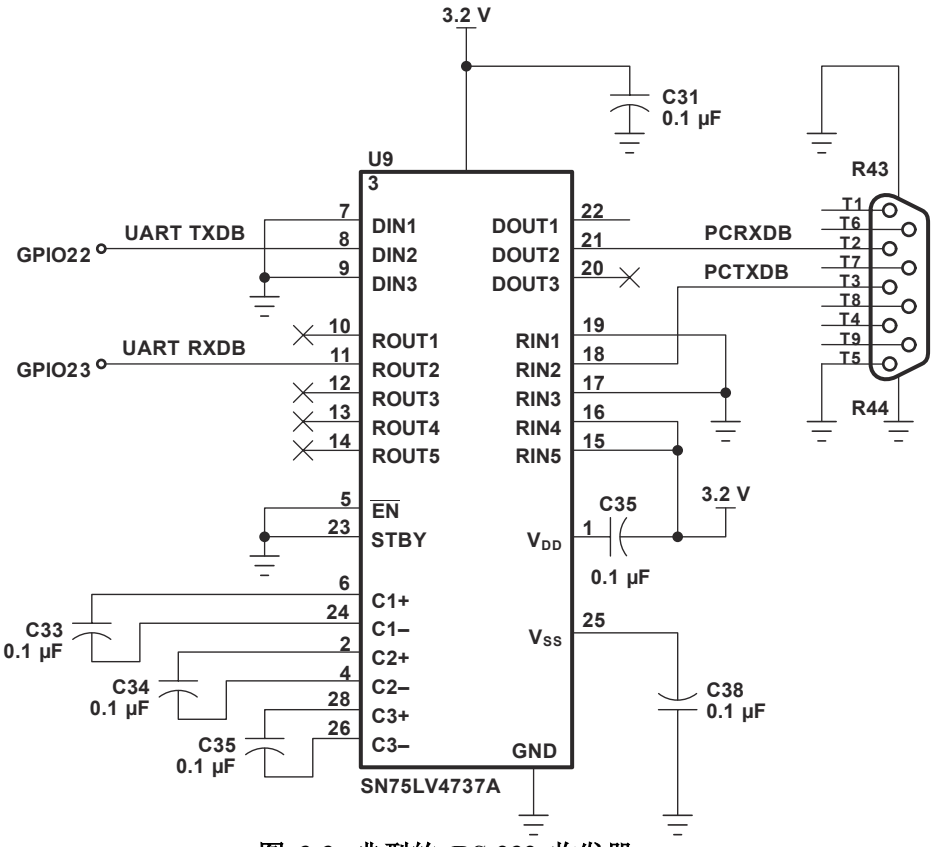


图 3-3. 典型的 RS-232 收发器

SCI 通信外设是一个 2 线异步串行端口，具有两个外部引脚 SCITXD（SCI 发送 - 输出）和 SCIRXD（SCI 接收 -输入）。该协议通常称为 UART，BY320RV0025器件上的该协议使用标准 NRZ 格式。对于某些收发器实现，建议在SCI-RX 引脚上连接一个上拉电阻器，从而允许信号在不被驱动的情况下返回到高逻辑电平。这可以防止 GPIO 引脚在可能导致错误和增加电流消耗的电平值之间浮动。可使用所用的特定收发器的数据表验证该上拉电阻器要求。当使用某些类型的收发器来确保 SCI 模块的确定性操作时，尤其有必要连接上拉电阻器。应在系统内选择性使用和测试该电阻器阻值，因为理想值在很大程度上取决于特定应用。太弱的上拉（较大的电阻值）会阻止电阻器在实际电路中通过另一个器件上拉三态或浮动输出。同样，太强的上拉（较小的电阻值）会阻止输出信号通过另一个器件切换。可以先从10kΩ测试阻值。

3.1.5 引导引脚和引导外设

器件引导 ROM 包含引导加载软件。当BY320RV0025器件加电（或复位时） 以及初始化后，引导加载程序将确定要执行的引导模式。每个器件都具有两个 GPIO 引导引脚，其状态指示需要采用的引导模式。默认情况下，这两个引导引脚是 GPIO24 和 GPIO32。四种默认引导模式为并行 IO、SCI/等待引导、CAN 和闪存。

为了在引导期间确保实现定义的状态，请在 GPIO 启动引脚上连接拉电阻器。如果用户也在这些引脚上使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。除

了用作引导引脚外，它们还可以在应用中仅用作其状态在引导期间无关紧要的输出，以及用作输入，前提是可以保证信号仅按所需方式驱动。

表 3-1. 器件默认引导模式

引导模式	GPIO24（默认引导模式选择引脚 1）	GPIO32（默认引导模式选择引脚 0）
并行 IO	0	0
SCI/等待引导	0	1
CAN	1	0
闪存	1	1

所有器件都能够分配自定义引导模式选择引脚 (BMSP)，范围为 0 至 3 个引脚。然后，用户可以根据这些创建自定义引导表，支持1种配置的引导模式至 8 种配置的引导模式。要更改出厂默认引导模式引脚，请对用户可配置的双模式安全模块 (DCSM) 一次性可编程存储器 (OTP) 位置进行编程。对于选定的通信外设（例如SCI、MCAN、DCAN、I2C、SPI），存在器件期望从中引导的默认和替代 GPIO。

3.2 模拟 IO

本节介绍了在处理器件上的模拟信号时的关键注意事项。它介绍了ADC引脚选择和模拟基准等关键信息。

3.2.1 模拟外设

BY320RV0025器件包含不同数量的以下模拟外设：

- 模数转换器 (ADC)
- 温度传感器
- 缓冲数模转换器 (DAC)
- 比较器子系统 (CMPSS)

3.2.2 选择模拟引脚

与 GPIO 引脚一样，模拟外设提供了灵活的引脚使用。缓冲 DAC 输出、CMPSS 输入、PGA 功能和数字输入与ADC 输入进行多路复用。此外，所有 ADC 都具有到 VREFLO 的内部连接，允许偏移自校准。

在选择模拟引脚连接时，请考虑每个引脚上可用的外设。带有比较器的模拟输入使得这些模拟信号能够快速触发 PWM（作为故障信号）或检测过零。由于这些器件包含多个 ADC，因此还要考虑同时对某些模拟信号进行采样是否有益。在 这些情况下，可以将三个同步模拟信号连接到 ADC-A、ADC-B 和 ADC-C。

BY320RV0025器件具有不同数量的与模拟引脚复用的数字 GPIO。这些称为 AIO 和 AGPIO。所有 BY320RV0025器件都具有 AIO，它们是只能在输入模式下运行的多路复用模拟引脚。默认情况下，当 GPIO 处于高阻抗状态（高阻态）时，它们将用作模拟引脚。

3.2.3 内部与外部模拟基准

板载 ADC 使用VREFHI 和 VREFLO 作为电压基准。对于大多数应用， 内部电压基准可提供足够高的性能。因此，VREFHI 引脚电压由内部带隙电压基准驱动，可以选择该电压基准的电压为 1.65V 输出（0V 至 3.3V）或 2.5V 输出（0V 至 2.5V）。如果所实施系统的设计要求更高的精度，则可以改用外部基准电压。

当使用内部基准模式时，不应在 VREFHI 引脚上放置额外的电压源， 因为器件本身会将电压驱动到该引脚上。在外部基准模式下，使用 REF3030 和高速运算放大器等外部电路从外部驱动高基准电压引脚。该电压必须为 2.4V至VDDA。在所有情况下，确保在该引脚上放置一个 2.2μF 电容器。

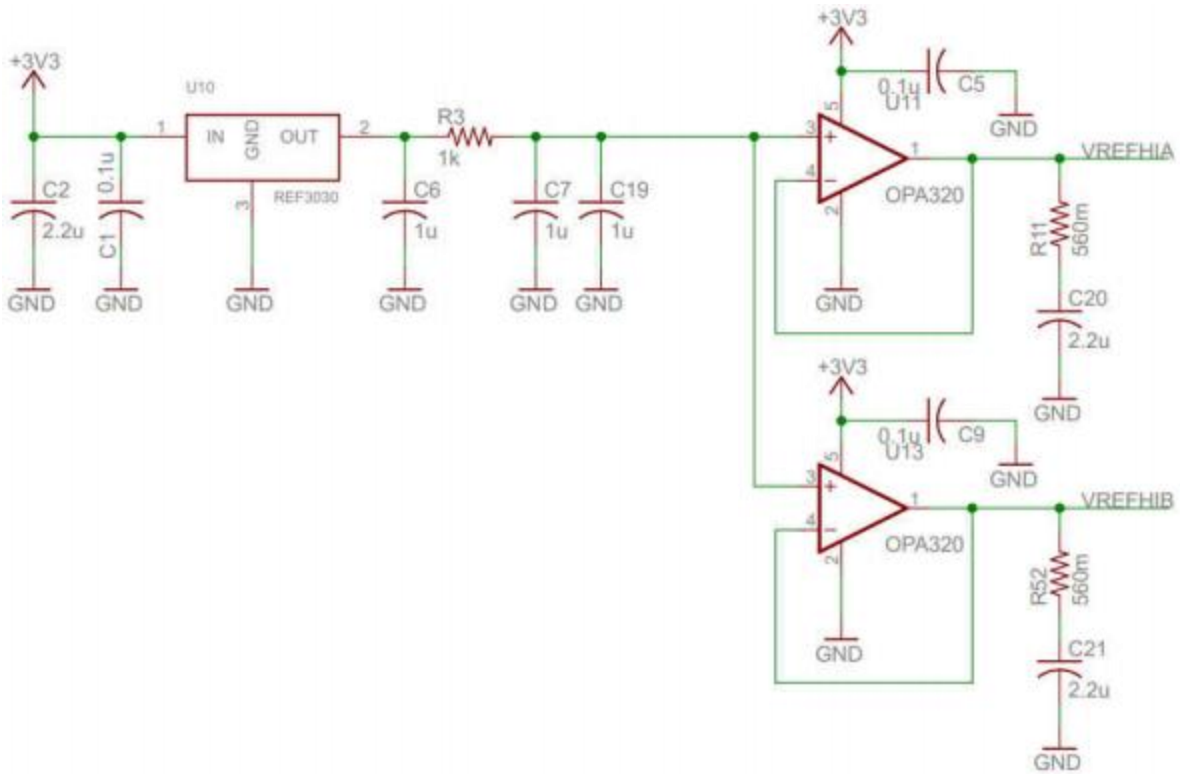


图 3-4. 外部模拟基准的基准电路

3.2.4 ADC 输入

应正确设计和评估 ADC， 以确保性能正常。模数转换器具有输入阻抗和带宽要求，这可能会导致存储器串扰和显著的采样保持 (S+H) 电路稳定误差。

下图概述了 ADC 输入模型，其中 Cp 表示寄生输入电容，Ron 表示采样开关电阻，Ch 表示采样电容，Rs 表示标称源阻抗。数据表记录了 ADC 每通道寄生电容，这些寄生电容有

助于确定要使用的 ADC。请注意，可以通过调整 ACQPS 或降低采样频率或两者的组合来调整每个 SOC 的采集窗口持续时间。

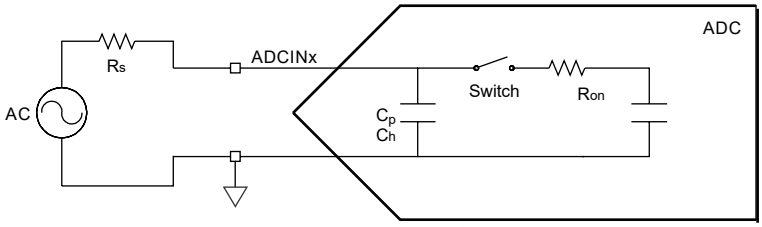


图 3-5. ADC 输入模型

3.2.5 驱动选项

为了获得出色性能，应使用高速运算放大器缓冲级驱动 ADC。该设计具有高速采样、短 S+H 时间和高阻抗源功能。在某些情况下，可以在没有运算放大器的情况下驱动 ADC，但由于 S+H 时间非常长，这通常会导致控制延迟减少。

另一种可能的 ADC 驱动实现是与一个非常大的电容器共享电荷。该方法在采样和信号带宽要求都很慢的系统中效果最好，因为它会导致基于源阻抗的采样率限制。电荷共享可与成本极低的运算放大器结合使用，以支持更快的采样和更高的输入阻抗。

3.2.6 低通/抗混叠滤波器

选择驱动 ADC 以提供低通滤波的 RC 电路不应是主要的设计考虑因素，不过在实现令人满意的稳定之后，它可以作为次要约束来完成。此外，一个很常见的错误是选择 RC 作为 ADC 的抗混叠滤波器，在大多数情况下这是一种不好的做法。这可能会导致高速采样的稳定性能不佳。如果系统需要抗混叠滤波器，那么理想情况下应在 ADC 驱动级之前将其构建在单独的运算放大器级中以进行高速采样。当使用电荷共享输入模型和进行低速采样时，也可以在 ADC 驱动级实现抗混叠。

3.3 电源

该BY320RV0025器件系列具有多个电源引脚，但并非每个器件都提供这些引脚。这些优势包括：

- 内核电源引脚 (VDD)
- 模拟电源引脚 (VDDA)
- 数字 I/O 电源引脚 (VDDIO)

为了使器件正常工作，所有可用的电源引脚都必须正确连接至适当的电源电压。这些电源包括 3.3V 和 1.2V。内核电源引脚 (VDD) 需要 1.2V 电压，可通过各种方式提供。

3.3.1 电源要求

确保器件电源稳定且抗噪声的一个重要方面是每个电源引脚都具有接地的去耦/旁路电容器。这些有助于限制噪声传播到系统的其他区域，尤其是低电平模拟信号。去耦电容器充当滤波器和临时储能器，可充分减少电源上的压降/尖峰，从而为器件提供更稳定的电源解决方案。

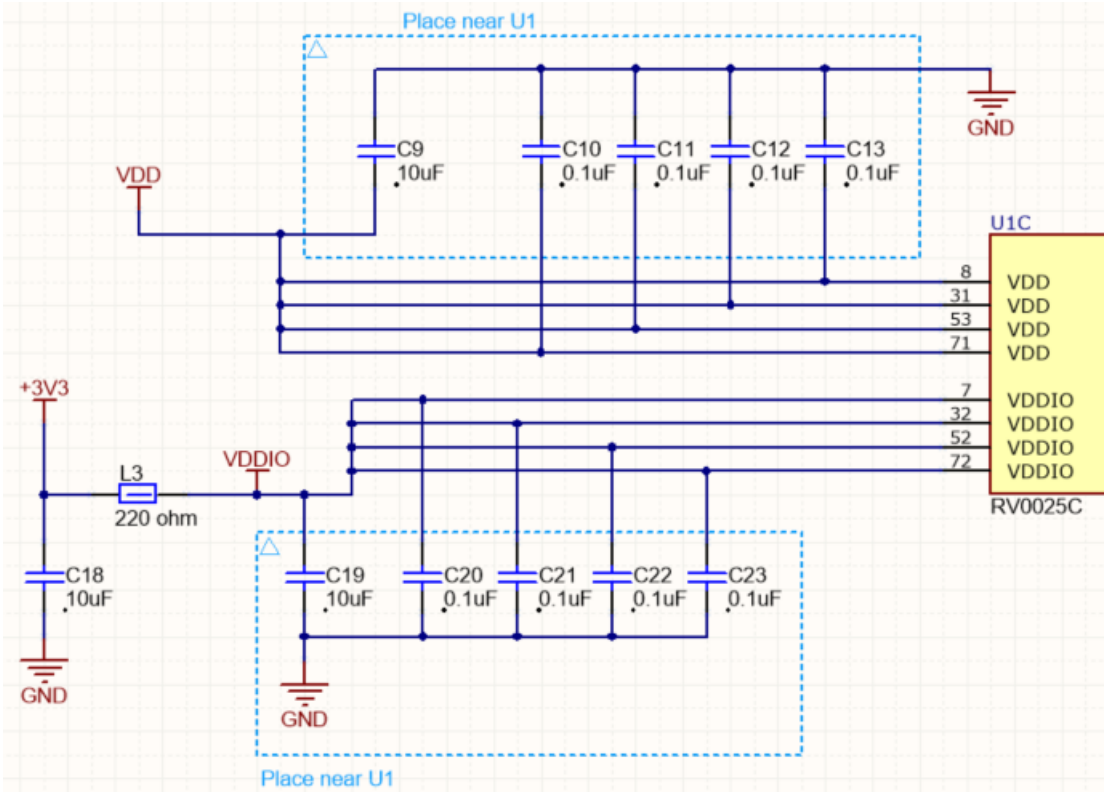


图 3-6. VDD 引脚上的去耦电容器

VDD这些引脚需要连接去耦电容器以确保实现稳定的电压电源。该去耦电容器的容值取决于器件， 因此请参阅器件特定数据表以了解所需的 CVDD 值。同样，VDDA 和 VDDIO 电源引脚也需要连接去耦电容器来维持稳定的电压电源。在所有器件上，所有模拟电源引脚 (VDDA) 都应包含一个连接到模拟地 (VSSA) 的最小 2.2µF 的去耦电容器。数字 I/O电源 (VDDIO) 需要在每个电源引脚附近有一个最小 0.1µF 的去耦电容器，如上图所示。对于某些器件，还建议放置一个额外的大容量电容器 CVDDIO，在所有引脚之间共享。该大容量电容值取决于所使用的稳压器，因此请参阅器件特定数据表。

3.3.2 电源时序

BY320RV0025器件只需要满足几个要求即可确保正确的电源时序。在为器件供电之前，请确保没有任何数字引脚上施加比 VDDIO 高 0.3V 以上的电压； 同样，请确保没有任何模拟引脚上施加比 VDDA 高 0.3V 以上的电压。对于这些相应的引脚，还应确保不施加低于 VSS 和 VSSA 0.3V 的电压。所有 3.3V 电源引脚（VDDIO、VDDA）应一起上电，并在正常运行期间彼此相差不超过 0.3V。

如果不满足上述电压要求，ADC 输入可能会损坏。在有可能在 ADC 引脚上驱动高于 VDDA 的电压的情况下，应注意隔离信号。

3.3.3 VDD 稳压器

电压调节是为器件维持可靠的电源系统的一个重要方面。内部 VREG 始终启用，因此在这些器件上无法从外部提供 VDD。在使用内部 VREG 时，VDD 电源轨的两种建议电容器配置为：

• 在每个引脚上尽可能靠近器件放置一个连接到 VSS 的小型去耦电容器。此外，必须在 VDD 节点上放置一个连接到 VSS 的大容量电容。建议的元件值取决于所使用的器件。

对于BY320RV0025，建议的元件是一个 10μF 电容器或两个并联的 4.7μF 电容器。

• 在所有 VDD 引脚上均匀分配连接到 VSS 的总电容（总电容除以可用 VDD 引脚的数量）。

3.3.4 功耗

由于BY320RV0025芯片的功耗可能会因器件和特定用例的不同而有很大的差异，因此必须查阅特定于器件数据表以获得有关估算功耗的详细信息。一个重要的注意事项是，如果应用需要电路内闪存编程，则在擦除/写入周期中会消耗额外的电流。数据表中的表给出了典型值和最坏情况下的最大值。因此，可以通过未使用的外设、时钟频率和温度条件等方面进一步降低功耗。最后需要考虑的一点是，在这些初始功耗数据之外，还需要考虑 I/O 切换和负载产生的功耗。

3.3.5 功率计算

计算所需的电源规格需要考虑计划出现在电源上的负载、系统可容忍的噪声以及总体电流要求。

首先，计算每个电压轨的电流要求。确保为每个芯片/模块（通常为每个电源引脚）添加峰值电流值。此外，还计划考虑所有其他无源和有源负载，其中包括 LED 和其他负载等元件。

为了增加预防措施并确保设计安全，请将这些电流乘以介于 1.3 至 2 之间的值，以得出稳压器的建议电流规格。这可以避免连接到电源系统的任何块出现电流不足的情况。在线性稳压器和直流/直流转换器之间进行选择。该决定主要取决于整个系统所能承受的电源噪声大小。在需要极低噪声的系统中，建议使用线性稳压器/LDO。另一方面，直流/直流转换器可以提供更高的功效。

以下场景提供了有关计算建议的电源规格的示例指导：

• 一个应用使用 BY320RV0025及其所有可用外设。该器件的闪存不会在现场升级，其 GPIO 引脚中的十个将驱动1.5mA 静态负载，另外两个 GPIO 在 200kHz 频率和 10pF 负载下切换波形。

$$Pest = \{Operating\ Mode\} + (nGPIO, static \times l\ load) + nGPIO: active \times \left(n\frac{transitions}{period} \times f \times C \times V2\right) \quad (1)$$

$$Pest = (0.072A) + 0.005A)) + (10 \times 0.0015A)) + 2 \times (2 \times 200k \times 10p \times 3.22) \quad (2)$$

$$Pest = 92mA) \quad (3)$$

在这种情况下，虽然不会在现场进行闪存编程，但会进行初始编程。因此：

$$92mA) < (106mA) + 2.5mA)) = 108.5mA) \quad (4)$$

乘以裕度值 1.5，确定最终的电源电流要求：

$$108.5mA \times 1.5 = 162mA) \ @\ 3.3V\ (535mW) \quad (5)$$

• 一个应用使用 BY320RV0025和以下外设：两个 ADC、一个 CAN 和四个 HRPWM 模块。它将需要在现场进行升级。

$$Pest = Flash\ Program\ Mode\} + (2 \times IADC) + (1 \times ICA)N) + (4 \times IHRPWM) \quad (6)$$

$$Pest = (0.106A) + 0.0025A)) + 2 \times 0.67A) + 1 \times 1.18A) + 4 \times 0.87A) \quad (7)$$

$$Pest = 114mA) \quad (8)$$

乘以裕度值 1.5，我们得出最终的电源电流要求：

$$114mA \times 1.5 = 171mA) \ @\ 3.3V\ (564mW) \quad (9)$$

3.4 XRSn 和系统复位

每个 BY320RV0025器件包含一个器件复位 (XRSn) 引脚，该引脚在被驱动为低电平时将器件复位。该引脚在上电复位(POR)、欠压复位 (BOR) 或看门狗复位时也被驱动为低电平。器件上电时内部 POR 电路驱动 XRSn 并将所有 I/O保持在高阻抗状态。一旦 VDDIO 超过 POR 阈值，器件的控制权就转移至 BOR 。BOR 使器件一直处于复位状态，直到 VDDIO 超过 BOR 阈值并处于器件的工作范围之内。发生这种情况后，器件不再处于复位状态并且正常工作。BOR 电路本身负责监测 VDDIO 并检查电源轨是否处于工作范围之内。在器件运行期间的任意时刻，如果VDDIO 电压降至 BOR 阈值以下，则 XRSn 被拉低，器件保持复位状态，直到电压恢复到工作范围之内。在看门狗复位期间，XRSn 引脚在 512 个振荡器时钟 (OSCCLK) 周期的看门狗复位持续时间内被驱动为低电平。

图 3-7 展示了器件引导阈值。

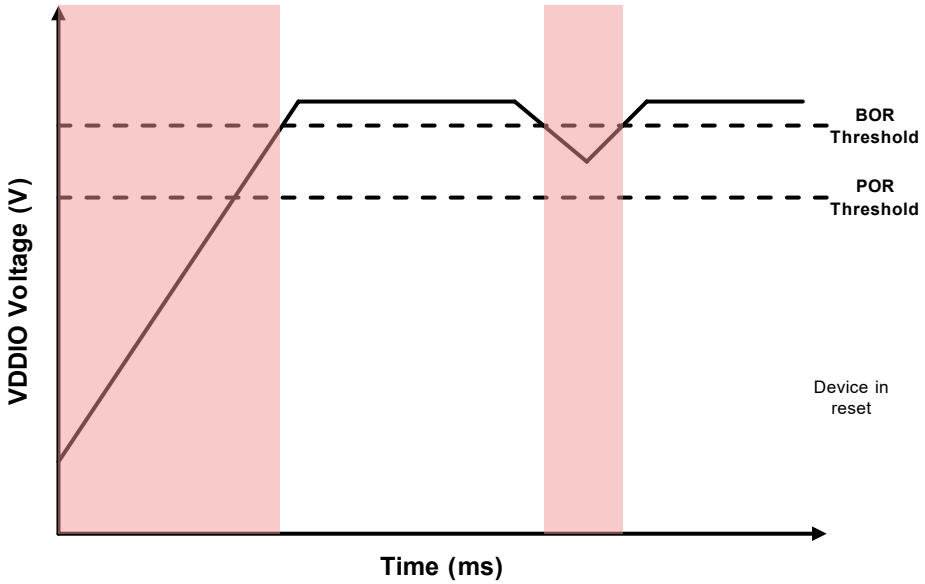


图 3-7. 器件引导复位阈值

除了这些内部复位电路之外，用户还可以实现用于驱动 XRSn 引脚并使器件复位生效的外部电路。请注意，应该使用一个开漏器件来完成该外部电路。这些外部电路的示例包括外部看门狗、电源管理 IC 和电压监控器（用于ASIL 应用）。

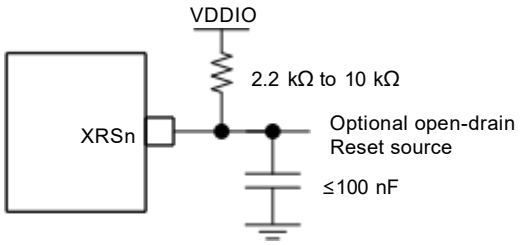


图 3-8. 外部复位电路

在设计 XRSn 原理图时，需要在 XRSn 引脚和 VDDIO 之间连接一个强上拉电阻器。该电阻器的阻值应介于2.2kΩ 和 10kΩ 之间。此外，为了改善噪声滤波，建议在 XRSn 和 VSS 之间连接一个小型电容器。该电容器应该为 100nF 或更小， 因为较大的电容器会抑制看门狗复位以正确驱动 XRSn 引脚的能力。由于该引脚的重要性，还可以添加 ESD 保护二极管。复位脉冲宽度应超过 1.5 毫秒，以克服振荡器启动延迟和其他延迟。

3.5 计时

正确的时钟生成对于系统正常运行至关重要，在实时控制系统中尤其如此。BY320RV0025器件提供了灵活的时钟生成选项，允许用户根据其特定的系统要求来调整器件。所有器件都具有两个内部 0 引脚 10MHz 振荡器，支持片上晶体振荡器和外部时钟输入，并具有一个片上锁相环 (PLL)。虽然这些内部源的性能相当不错，但用户可以选择使用外部时钟源来满足更精确的时钟要求。这些BY320RV0025器件支持三种类型的外部时钟方法：单端 3.3V 外部振荡器、外部晶体和外部谐振器。

3.5.1 内部与外部振荡器

在设计过程中需要做出一个重要决定，那就是选择使用板载时钟选项还是将外部振荡器整合到系统中。以下设计注意事项应该会在决策过程中提供充分的帮助，不过最终选择取决于成本和系统时钟要求。

两个内部 0 引脚片上振荡器（INTOSC1 和 INTOSC2） 以 10MHz 的频率运行，可用于为主 PLL 和 CPU 计时器2提供时钟。此外，INTOSC1 还可以为看门狗块提供时钟。这些振荡器在上电时默认启用，其中 INTOSC2 设置为系统参考时钟源，INTOSC1 用作备用时钟源。该时钟选项对于优先考虑节省成本和缩短设计周期的设计非常有用。与外部时钟源相比，该决策的不足是精度较低。

根据环境条件，时钟在典型的 10MHz 频率时可能具有大约 1.5% 至 3% 的频率稳定性。每个器件的稳定性都不同，因此请参阅器件特定数据表，了解具体的值和测试条件。此外，请当使用 INTOSC 时，GPIO18 和 GPIO19 可用作额外的数字信号。

另一个时钟选项是将内部振荡器与外部晶体结合使用。如果要求时钟精度优于 1%，则应使用该方法。选择该方法时需要注意的一点是，不建议与晶体电路进行任何其他连接。此外，需要非常仔细地设计晶体振荡器，确保正常运行。这些晶体具有多个参数，因此建议咨询晶体供应商，选用适用于BY320RV0025器件的晶体。必须特别注意，所选的晶体应精确匹配系统的负载电容。负载电容 C load 超出理想范围的晶体将阻止驱动晶体的振荡器可靠启动和运行。有效负载电容为 C1 和 C2 的串联组合，这两个电容器分别连接到 X1 和 X2。要计算 C load 的容值，请考虑 C1 和 C2 以及在 PCB 布线时所产生的杂散电容。

$$C_{load,XTA)L} = \frac{C1 \times C2}{C1 + C2} + C_{stray} \tag{10}$$

假设 C1 和 C2 相等。这不是必需的，但有助于将计算简化为以下公式：

$$C_{load,XTA)L} = \frac{C}{2} + C_{stray} \tag{11}$$

例如，假设系统具有 12pF 的已知负载电容和 2pF 的杂散电容。通过适当的计算，得出建议的电容器容值为20pF。

$$12pF = \frac{C}{2} + 2pF \tag{12}$$

$$C = 20pF \tag{13}$$

对于当前的 BY320RV0025器件，建议的晶体负载电容应约为 12pF 至 24pF。对于未来的器件，该容值可能不同。有关其他要求，请参阅器件特定数据表。如图 3-9 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。

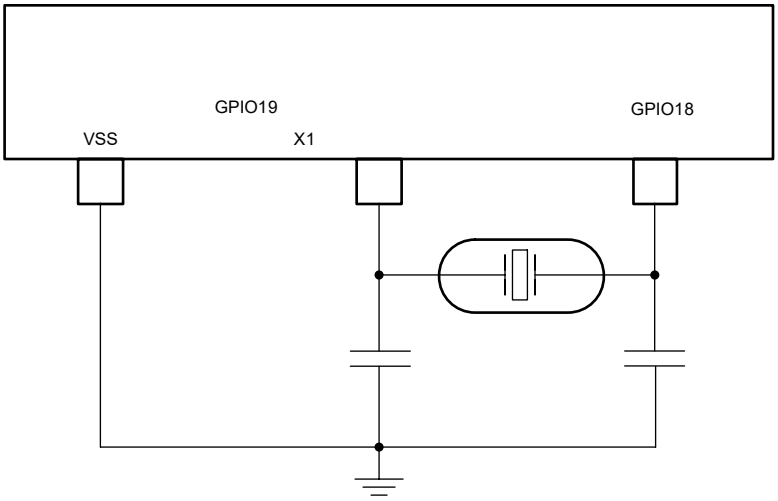


图 3-9. 外部晶体电路

谐振器也可以采用与晶体类似的方式使用，具有类似的权衡和注意事项。在实施谐振器时，应将其连接在 X1 和X2 之间，地连接至 VSS，如图 3-10 所示。

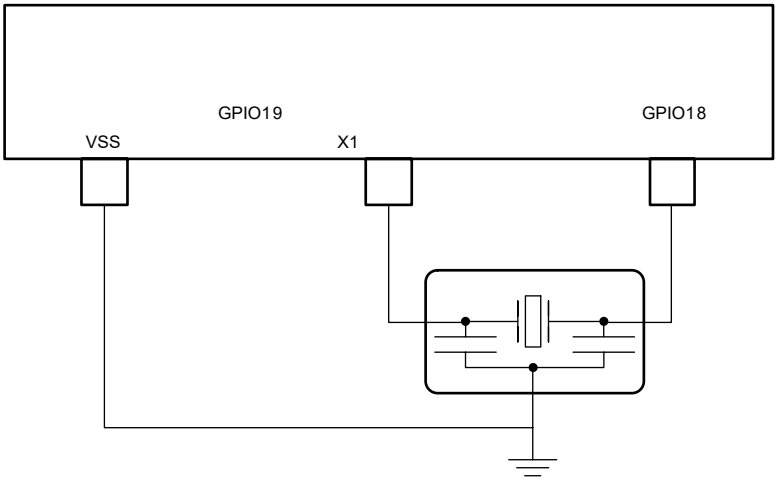


图 3-10. 外部谐振器电路

第三个也是最后一个时钟源选项是完全使用外部振荡器。这是一种比使用外部晶体更简单的方法，可以为实时系统提供最高的精度。此外，系统内的其他器件可以共享从外部振荡器输出的时钟信号。该时钟信号应连接到 MCU（如图3-11所示），外部振荡器的输出连接到 X1，XTALCR.SE 位设置为 1。

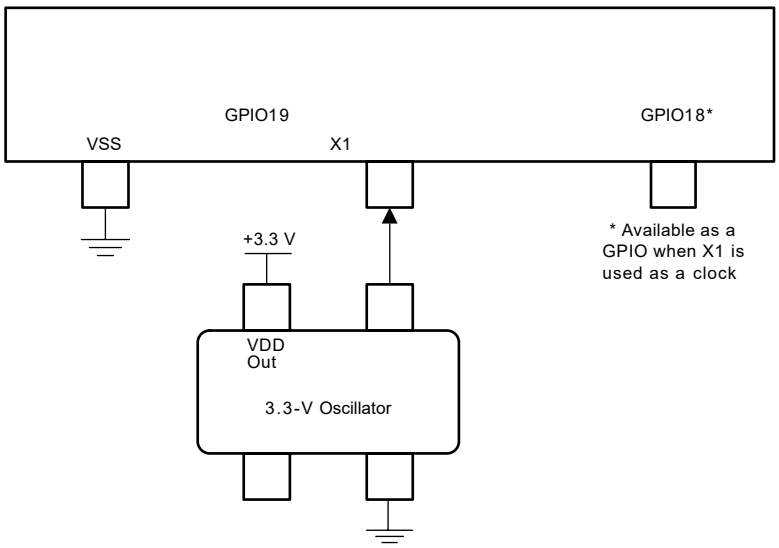


图 3-11. 外部振荡器电路

3.6 调试和仿真

集成一个可以协助调试微控制器系统的器件是一个重要的考虑因素，这在设计过程的原型设计和开发阶段非常有帮助。

3.6.1 JTAG/cJTAG

BY320RV0025器件具有一个 JTAG 端口，该端口带四个专用引脚：TMS、TCK、TDI 和 TDO。它们对应于测试模式选择、测试时钟、测试数据输入和测试数据输出。电路板上的一个 2.2kΩ 外部上拉电阻器应该将 TMS 引脚接至VDDIO，从而在正常运行期间使 JTAG 保持复位状态。

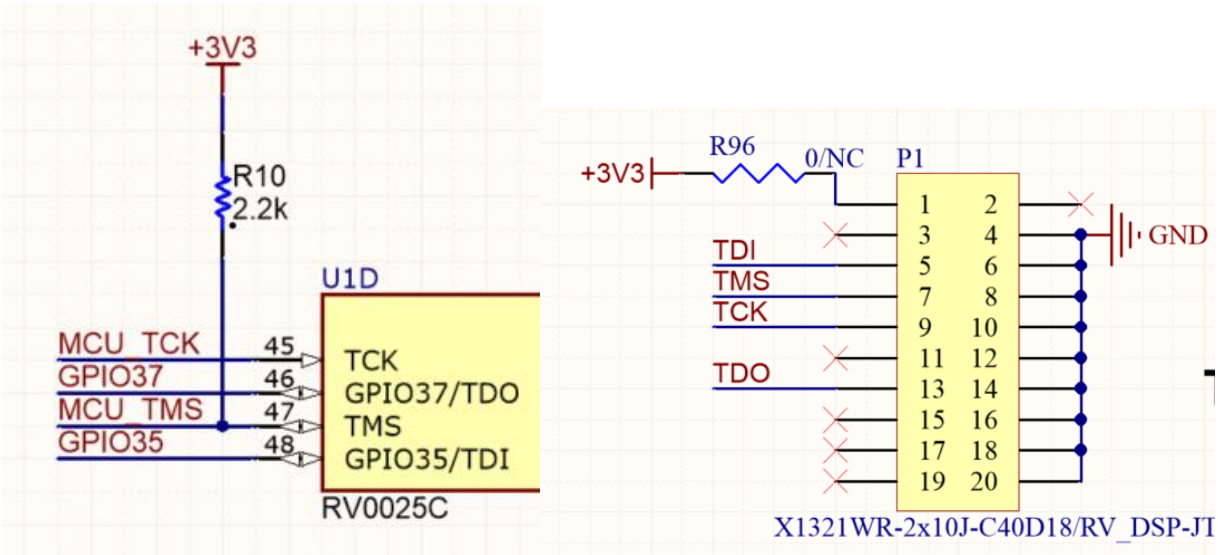


图 3-12. 典型的 JTAG 探针连接

3.7 未使用的引脚

对于仅需要器件的部分功能的应用和系统，在一些未使用的引脚上应遵循明确的可接受做法。这些做法特定于器件和引脚，但可以包括在它们上面放置拉电阻器、将其连接到另一个引脚或使其保持无连接状态。有关更多详细信息以及与此相关的所有引脚，请参阅器件特定数据表中的未使用引脚的连接部分。

4 PCB 布局设计

创建系统原理图并验证其是否正确设计且符合所有工程规格后，下一步是在您的首选 PCB 设计软件中创建 PCB布局。元件的放置对于实现良好的设计和良好的器件性能而言至关重要。

4.1 布局设计概述

仅仅能够像原理图中那样对所有连接进行布线是不够的；此外，必须采用良好的布局实践来确保电路板的正常功能和可靠性。电路板的所有方面（包括物理尺寸、电路板限制和关键元件）都应该得到全面考虑。

4.1.1 建议的布局实践

BY320RV0025系统通常包括以下电路：低电平模拟电路、高速数字电路和高功率（开关）电路。这三种不同类型的信号应在 PCB 上相互分离。高电流路径和高频信号对电路板上的任何模拟信号尤其具有破坏性。

4.1.2 电路板尺寸

电路板的尺寸高度依赖于正在构建的系统和BY320RV0025正在实施的应用。从由少数器件组成的小型板到具有大量元件的大型板，PCB 板具有广泛的范围。如果可能，分配足够大的 PCB 以使布局设计过程尽可能简单，并有助于布线和分离不同类型的信号。

4.1.3 层堆叠

电路板层数和层堆叠的选择取决于 PCB 上所需的连接数量以及 PCB 的生产成本。4 层或更多层电路板通常是BY320RV0025器件的最佳选择。这使设计人员能够实现干净的接地平面和分割的电源平面。在配置方面，使用了两个图来展示常见的 4 层和 6 层电路板堆叠。4 层电路板堆叠包括信号/元件层、接地平面、分割的电源平面（3.3V、GND 等）和信号/元件层。对于 6 层电路板，堆叠如下：信号/元件层、接地平面、分割的电源平面（3.3V、GND等）、信号层、另一个接地平面和信号/元件层。

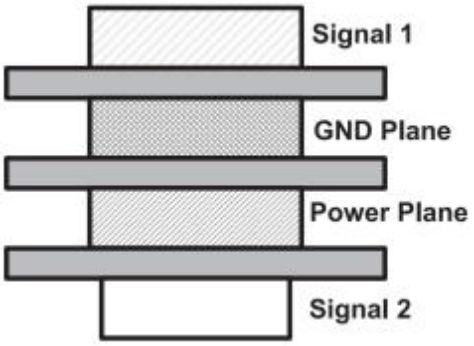


图 4-1. 4 层电路板的层堆叠

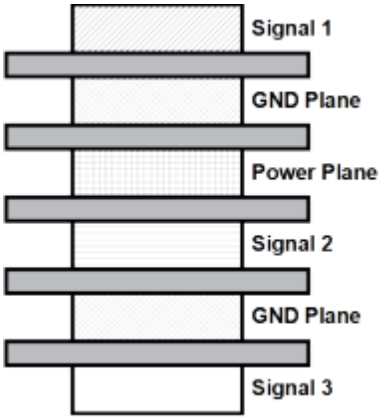


图 4-2. 6 层电路板的层堆叠

4.2 建议的电路板布局布线

为了确保电路板上布置的信号不会出现任何串扰或性能下降，一个好的做法是对电路板进行分区，类似于图 4-3中所示。如前所述，PCB 上的三种信号（数字、模拟和高电流）都应相互分离。

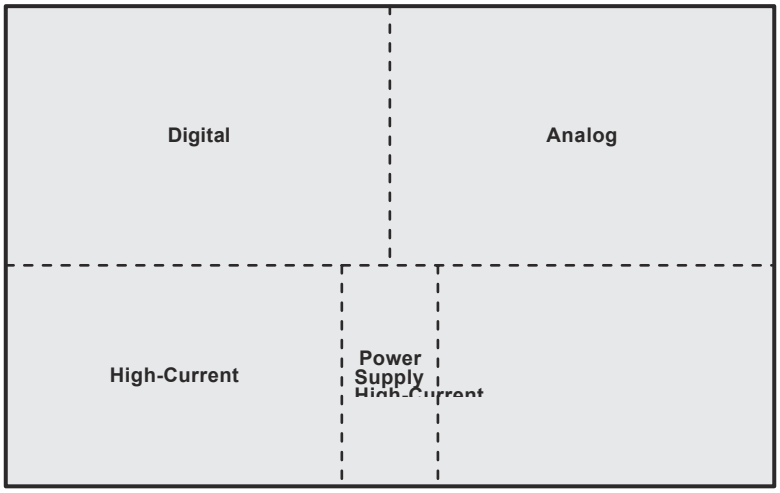


图 4-3. 理想的BY320RV0025电路板分区

4.3 放置元件

在电路板上确定BY320RV0025芯片的位置之后，下一个应该放置的元件是晶体/振荡器。应将其放置在尽可能靠近器件的位置， 以确保实现最有效的时钟解决方案。具体而言，到 X1/X2 的引线应尽可能短。根据所使用的特定晶体所需的额外元件，可以通过不同的方式在电路板上对晶体/谐振器进行布线。图 4-4 展示了一个示例，其中包含一个 2层电路板和一个需要额外串联电阻器 Rs 的晶体。当进行器件间时钟迹线的布线时，可尝试使用 3 W 间隔规则。

时钟迹线的中心至任意邻近信号迹线中心的距离应至少为时钟迹线宽度的 3 倍。许多时钟，其中包括低频时钟，可具有很快的上升和下降时间。采用 3 W 规则可削减迹线间的串扰。一般来说，器件间并行的走线之间也应当保持一定 的空间。避免采用直角来布置走线， 以大

大减少走线长度及阻抗的不连续性。要进一步保护器件不受串扰影响，尽可能地在时钟信号线旁侧布置保护迹线（GND 引脚至 GND 引脚)。这样可以减少时钟信号耦合。

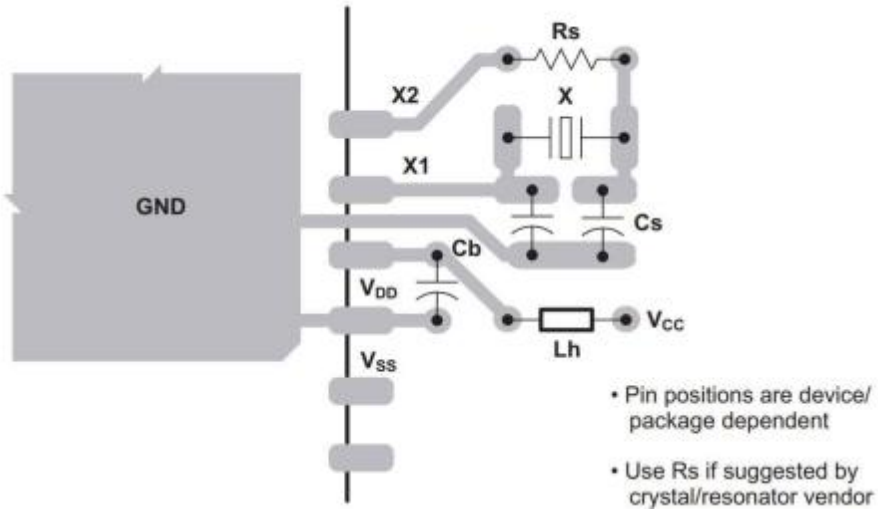


图 4-4. 建议的振荡器布局

要放置的下一个最重要的元件是去耦/旁路电容器。这些电容器应尽可能靠近各自的引脚放置，从而进一步降低噪声并有助于确保器件的电源稳定。距离引脚超过一英寸的去耦电容器性能较差。另一方面，大容量电容器可放置在离芯片相对较远的位置，而不会对其性能产生重大影响。图 4-5 展示了良好的去耦电容器放置。

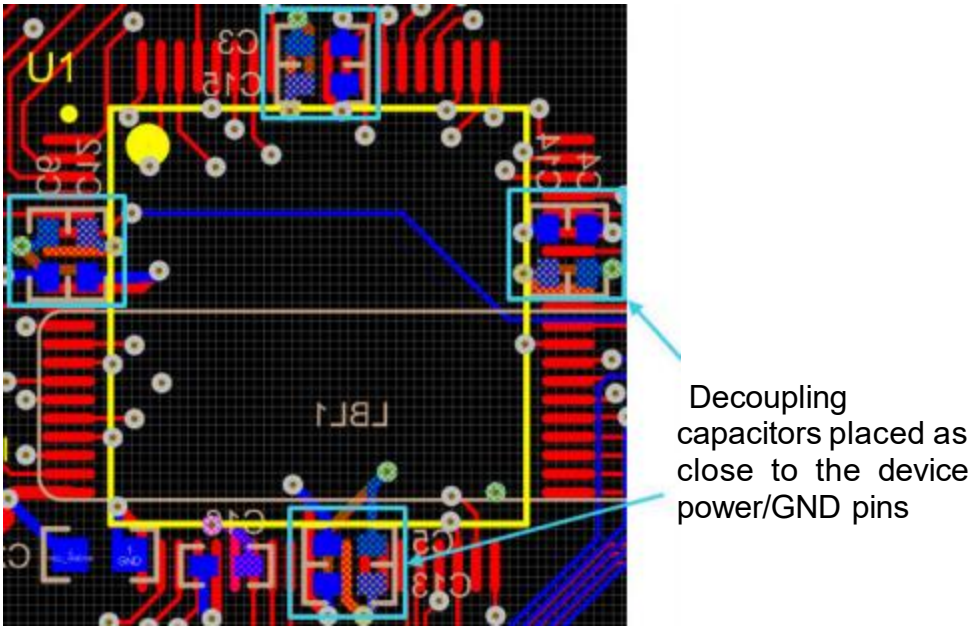


图 4-5. 电路板布局布线上的去耦电容器

后面应该跟随的其它元件是 JTAG 接头/电路和 XRSn 电路。

4.3.1 电力电子元件注意事项

电力电子元件的噪音非常大，会严重影响器件的性能。这些元件及其信号相对于其他类型信号的放置是一个重要的考虑因素。任何高电流路径应设计为具有小的环路面积。任何高 di/dt

电流都不应穿过其他 di/dt 路径、任何敏感模拟信号或控制电路或任何测试点。任何电流检测运算放大器都可以采用两种方式进行放置。它们可以放置在分流器旁边，靠近BY320RV0025芯片进行低通滤波并连接到模拟地 (VSSA)。或者，也可以放置在BY320RV0025芯片旁边，并以差分方式路由到使用开尔文检测的运算放大器。

另一个注意事项是，散热器可能具有高 dV/dt，应从外部接地。将散热器布线至电路板地可能会使散热器带电。任何栅极驱动器都应靠近 FET。

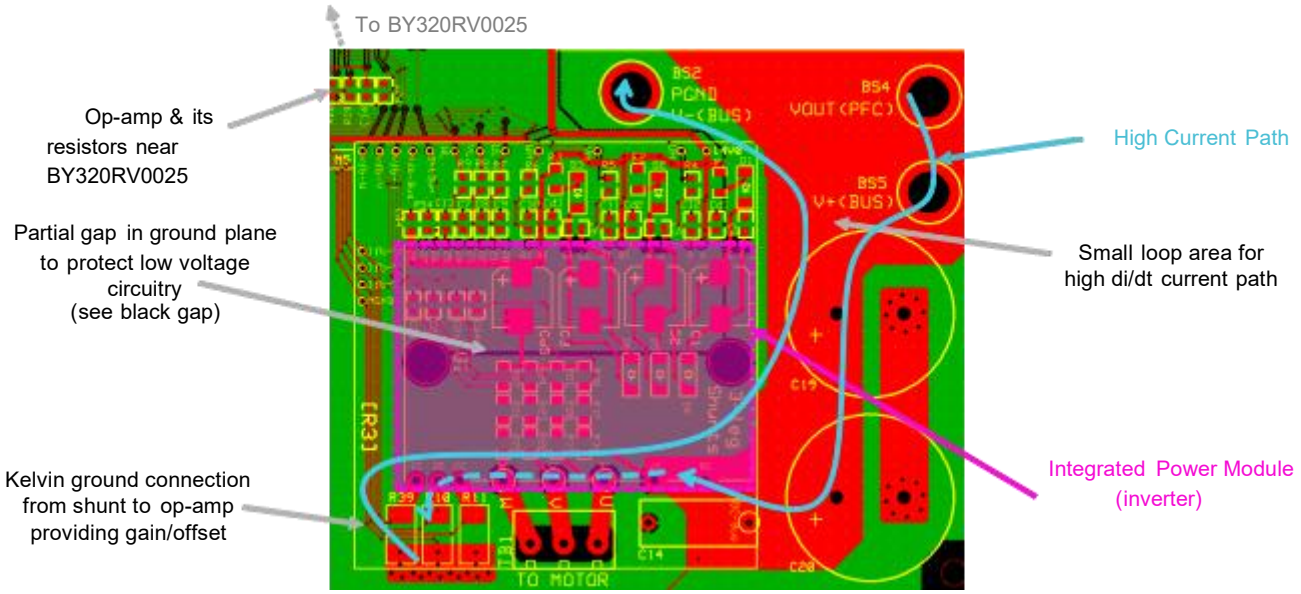


图 4-6. 电路板布局布线上的电力电子元件

4.4 接地层

PCB 上的铜平面是出色的高频电容器，可与建议的电容器一起用于高频旁路。实心平面的另一个好处是它们可以充当良好的散热器，以降低过高的热水平。

如果电路板有足够多的层，那么一个良好的做法是在 PCB 上布置一个接地平面。该接地平面不仅有助于在电路板上路由接地信号，还有助于降低接地噪声。电路板上的每个信号都有一个返回电流（通过 GND），这可以确保返回路径通过阻抗最小的路径。对于在不同层上具有多个接地平面的电路板，采用过孔拼接来连接这些接地平面并进一步更大限度地降低阻抗非常有用。

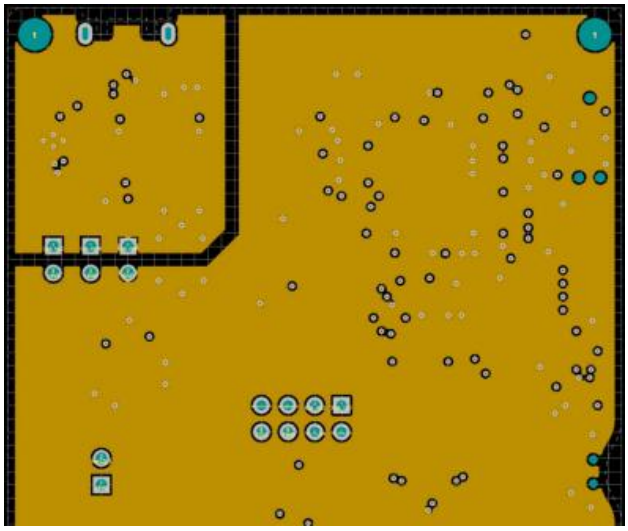


图 4-7. BY320RV0025板卡上的接地平面

实现有效接地平面的关键在于，确保该平面完好无损且在电路板的整个层上具有良好的连接。过孔和布线等板载连接会切碎接地层并降低其有效性。过孔会在电路板的多个层中形成一个孔，而布线会切断接地平面不同部分之间的连接。在下面的左图中，请注意 RGND 过孔只有一个到接地平面的连接，并且周围的接地孔连接非常细。此外，在图 4-8 中，请注意孔的左上角仅通过一条很细的铜片连接到覆铜的左下角。这两个图都展示了不良的接地平面。为确保接地平面的连接线粗或接地覆铜没有严重切碎，重新排列过孔和布线会很有帮助。

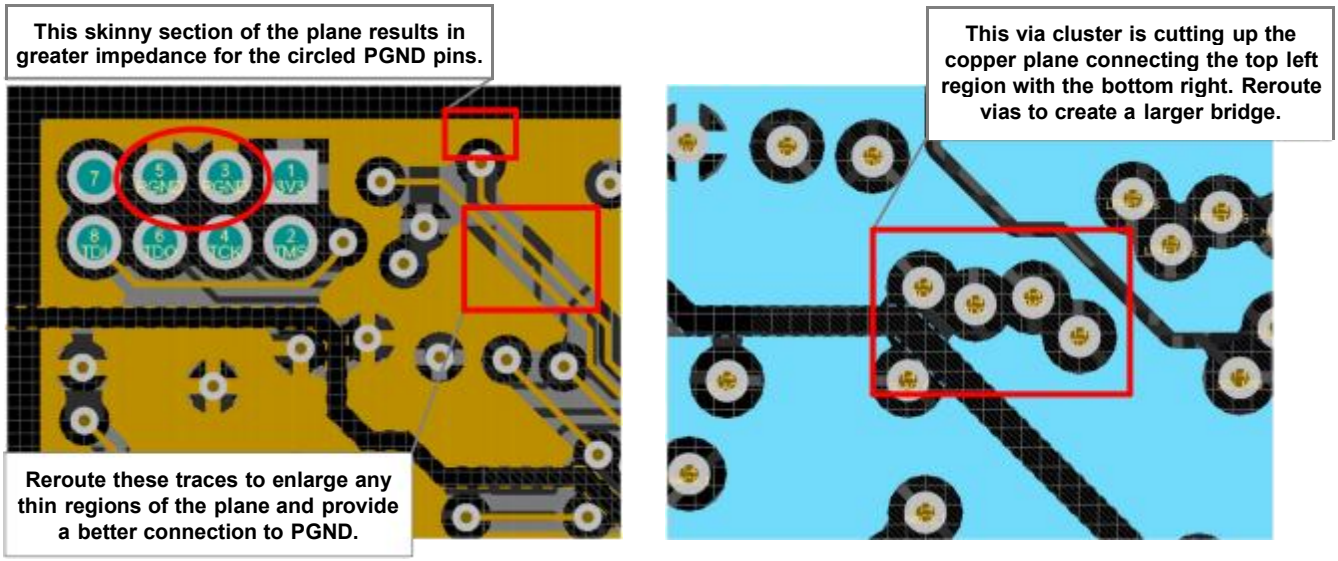


图 4-8. 切碎的接地平面示例

为某个层应用接地平面时，应检查该平面是否整层具有良好的连接。应重新设计缺少平面或连接线细的区域，从而更大限度增加接地平面面积。通常，这可以通过减少过孔数量和将多组布线彼此靠近布置来实现。在某些情况下，修改引脚复用选项和原理图对改进布线可能会有

所帮助。有时，在布局布线过程开始之前，这些好处可能并不明显，但优化引脚复用可以缩短布线长度并减少过孔使用，从而实现更好的接地平面。

4.5 模拟和数字分离

再次重申，将模拟地和数字地（及其电源）分开是一种很好的做法。不过，如果做得不好，可能会导致性能下降。模拟/数字分离的优势在于，它可确保信号不会跨越隔离边界，除非跨越的信号是静态的。分离的信号应仅在一点连接，理想情况下是信号源。这种连接可以是铁氧体磁珠、简单的电阻器，甚至是平面中的断点。请注意 ，铁氧体磁珠提供可忽略的电容和低直流电阻。在选择使用铁氧体磁珠时，应进行适当的仿真，确保铁氧体磁珠能够正确滤除噪声并且不限制流向器件的电流。如果无法实现适当的模拟和数字分离，设计人员应考虑仅使用一个接地平面。

BY320RV0025器件设计为具有一个“模拟角”，该器件的所有模拟引脚都位于此处。这些 ADC 输入中的许多输入源通常来自设计中的电力电子器件部分。该区域通常是电路板中噪声最大的部分，会严重影响模拟性能。最好使模拟地面积小并靠近BY320RV0025芯片，防止噪声影响器件的 ADC。正确地减小模拟地平面的尺寸会减少噪声拾取。

图 4-9显示了一个模拟/数字分离示例。请注意接地平面中分离模拟地和数字地的清晰隔离边界。

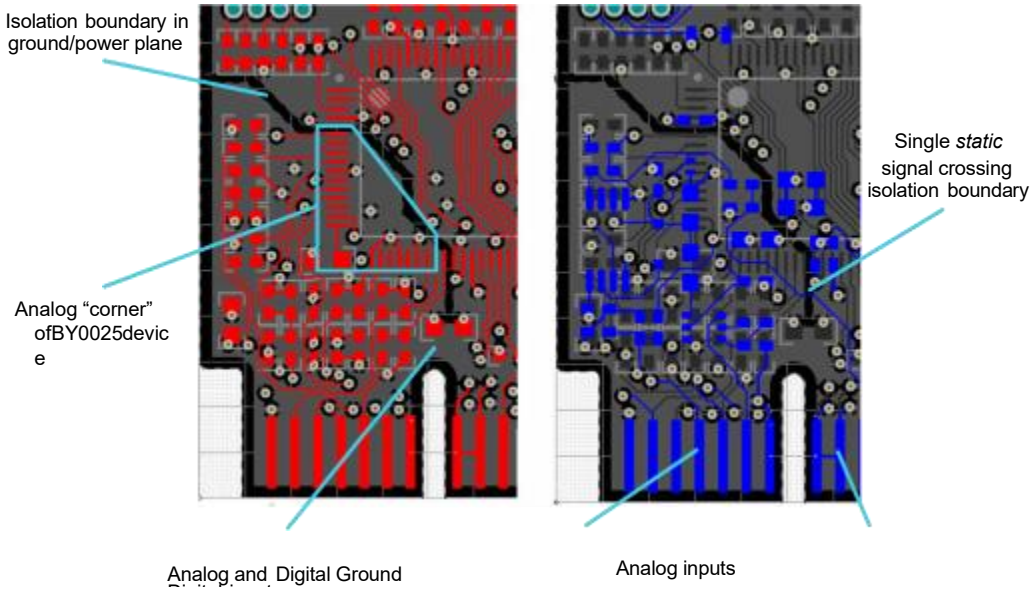


图 4-9. 模拟/数字隔离

在该示例中，数字地和模拟地 (VSS/VSSA) 只有一个接地平面。地仅在一处短接：隔离边界的底部灰色区域（位于信号源附近）。此外，请注意只有一个信号穿过隔离边界。突出显示的信号是一个静态信号，它在系统的整个运行期间很少（如果有的话）改变状态。这意味着它不会产生任何明显的噪音，也不会成为系统的问题。

4.6 信号布线的引线和过孔

为了实现适当的信号布线，请确保所有引线都不会以 90° 角弯曲。尽管这在大多数 PCB 设计软件中会自动设置，但在所有引线中确认该属性是一种良好的做法。引线应以最大 45° 角弯曲布置，或尽可能沿曲线布置，可减少沿引线的反射和特性阻抗变化，从而减少辐射。这是因为直角会导致拐角区域的电容增加，从而导致阻抗变化，进而导致反射。此外，一个好的做法是使相邻层上的信号彼此垂直（成 90° 角）。这可以减少信号间的串扰并确保信号间的干扰最小。在引线之间留出足够的间距也可以减少串扰，尤其是对于上升/下降时间较短的信号。

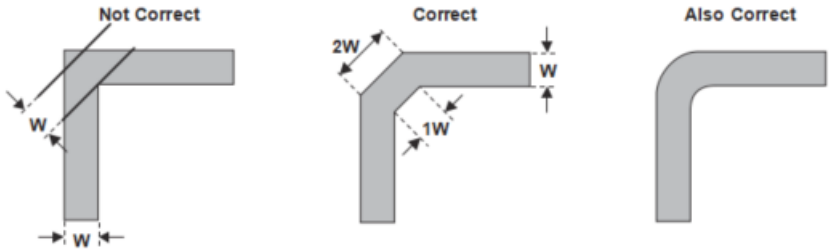


图 4-10. 适当的信号布线引线

电路板上的某些信号需要较大的引线宽度。最值得注意的是，任何电源线路和高电流路径都应使用宽引线。宽引线有助于在这些线路上保持低电感路径。这有助于减少这些路径上的压降和功率损耗，并减少不必要的散热。

在多层电路板上布置引线时，通常需要在不同层上对信号进行布线。过孔用于在不同层之间交叉信号，但应谨慎使用，仅在必要时才使用。除了在电路板的整个平面上形成孔之外，这些过孔还会对电路板生成的 EMI 产生负面影响，尤其是对于高开关信号。通过修改系统的引脚复用选项和原理图，可以改进信号布线。重新分配引脚有助于优化引线布置，可以缩短布线长度并减少对过孔的需求。

在使用过孔时，一个重要的考虑因素是是否对过孔进行遮盖。这种做法有很多好处，但会增加电路板生产的额外成本。使用阻焊层遮盖过孔可以为过孔提供腐蚀保护，并且可减缓过孔退化。在高密度电路板上，进行了遮盖的过孔便于放置和提高丝印的可读性， 因为丝印不会粘在普通的未进行遮盖的过孔上。此外，遮盖有助于防止任何意外短路。例如，如果连接器放置在未经遮盖的过孔上，则可能会发生电气短路。是否能够遮盖过孔取决于过孔的大小。小过孔比较大的过孔更容易填充，遮盖大过孔的可行性取决于电路板制造商。

4.7 散热注意事项

对于BY320RV0025器件，热特性和温度规格限制都有详细记录。超出数据表建议的任何最大功率耗散的系统和最终产品可能需要在设计中加入额外的散热。主要的散热考虑因素是结温(TJ)。应仔细测试该规格，使其保持在绝对和建议限制范围内。这样做可确保器件在整个寿命

期间保持可靠且功能正常运行。另一个散热考虑因素是环境温度 (TA)，不过这取决于最终应用环境和产品设计。

为了通过 PCB 板设计最大程度地减小 TJ，设计系统时应确保板到环境热阻 (ΘBA) 很小。GND 和电源引脚是器件散热的主要方法。因此，如果器件具有散热焊盘引脚，请确保其连接到 PCB 上的大面积覆铜区。在大多数封装中，散热焊盘将连接到器件内部的 GND 或从外部连接到 GND。同样，请确保任何 GND 和电源焊盘与实心平面具有良好的连接，并且任何过孔都靠近BY320RV0025器件。

5 EOS、EMI/EMC 和 ESD 注意事项

对于任何电子系统，务必考虑外部电气因素的可能影响，并采取措施限制和减轻其影响。如果不够谨慎，则可能会导致性能不佳，可靠性降低，甚至损坏元件。

5.1 电气过载

每个器件的数据表非常详细地提供了器件正常可靠运行的建议和最大条件。以下几点详细说明了在使用 BY320RV0025器件时需要注意的最重要的注意事项。

• GPIO 输入电压不能高于 VDDIO + 0.3V 或低于 VSS – 0.3V。

• 同样，ADC 输入电压不能高于 VDDA + 0.3V 或低于 VSSA – 0.3V。超出此范围的电压会导致 ADC 无法正常运行以及性能下降。

• 对于所有 GPIO 和 ADC 输入引脚，输入钳位电流不应高于 20mA 或低于 -20mA。每个引脚的持续钳位电流为±2mA，但不建议持续保持这种情况， 因为这可能会导致 VDDIO 和 VDDA 的电压在内部上升并影响其他电气规格。

• 在BY320RV0025器件加电之前可能被加电的任何信号都应该受到电流限制和保护，这样这些信号不会超过数据表中列出的规格。

• 为了消除器件损坏的风险，可能需要使用 3.3V 供电的运算放大器、控向二极管或串联电阻或这三者的任意组合。

5.2 电磁干扰和电磁兼容性

电磁兼容性 (EMC) 描述了电子元件在其他系统的干扰下正常工作的能力。其中，最需要考虑的是电磁干扰(EMI)， 即器件和其他附近器件发出的射频能量。这种干扰可以通过传导和辐射传播并影响器件。

因此，在设计系统时，务必确保电路板通过辐射和传导发出的 EMI 不超过规定标准允许的最大值。硬件设计人员应努力将辐射和传导 EMI 降至远低于认证限值的水平。同样，该电路板的设计应具有足够的屏蔽，从而即使在接触周围其他系统的辐射和传导电磁能量时也能正常工作。

系统中的大多数元件（包括 PCB、连接器、电缆等）都是 EMI 的来源。尤其是在设计使用高频及快速开关电流和电压的电路板时，所有布线基本上都充当辐射电磁能量的天线。五个主要的辐射源是：在布线上传播的数字信号、电流返回环路区域、不充分的电源滤波或去耦、传输线路的影响以及电源平面和接地平面缺失。快速开关时钟、外部总线和 PWM 信号用作控制输出，用于开关电源中。电源是 EMI 的另一个主要来源。射频信号可从电路板的一个部分传播到另一个部分，从而增加 EMI。开关电源辐射的能量可能会导致无法通过 EMI 测试。

为了减少电路板及其元件产生的任何有害 EMI，请在整个原理图和布局设计过程中遵循以下指南：

• 使用具有不同容值的多个去耦电容器和适当的电源去耦技术。请注意，每个电容器都有一个自谐振频率。

• 在电源上使用合乎需要的滤波电容器。这些电容器和去耦电容器应具有低等效串联电感(ESL)。

• 如果布线层上有可用空间，则创建接地平面。使用过孔将这些接地区域连接到接地平面；创建四分之一英寸的过孔栅格是理想之选。

• 高频信号（低位地址线、时钟信号、串行端口等）通常由 CMOS 输入端接，该输入是大于 100K 的并联负载，通常为 10pF。此类负载的充电/放电会导致高电流峰值。一种可能的解决方法是添加一个串联端接电阻器（ 约 50 Ω), 通过对其微调来实现理想的信号完整性。根据传输线路理论，如果总输出电阻（ 内部 + 外部 ）小于线路阻抗（通常为 70Ω – 120 Ω)，则不会对速度产生负面影响。通常，如果时序不是很关键，可以通过添加串联端接电阻器来缩短信号的上升时间。采用这种方法能够以低成本获得巨大的好处。

• 通常，驱动三相 H 桥开关的 PWM 信号会导致电流尖峰。与非对称 PWM 相比，对称 PWM 可将与 dU/dt 和 di/dt 相关的 EMI 降低大概 66%。空间矢量 PWM 相对于 PWM 周期也是对称的。不过， 由于在一个 PWM 周期内只有两个晶体管进行开关， 因此与对称 PWM 相比，开关损耗和 EMI 辐射降低了 30%。

• 使电流环路尽可能小。尽可能多地添加所需的去耦电容器。始终应用电流返回规则来减少环路面积。

• 使高速信号远离其他信号，尤其是远离输入和输出端口或连接器。

• 应用电流返回规则将接地连接在一起， 同时隔离模拟部分的接地平面。如果工程不使用 ADC 且没有模拟电路，请勿隔离地。

• 避免使用铁氧体磁珠连接分割的地。在高频率下，铁氧体磁珠具有高阻抗并在平面或 PC 板叠层之间产生较大的接地电位差， 因此应添加尽可能多的电源平面和接地平面。使电源平面和接地平面彼此相邻，确保实现阻抗低或固有电容大的叠层。

• 对所有进出系统的信号使用抑制 EMI 的 π 型滤波器。

• 如果系统未通过 EMI 测试，则通过追踪未通过的频率源来寻找原因。例如，假设设计在 300MHz 时失败，但电路板上没有任何元件以该频率运行。则原因可能是 100MHz 信号产生了三次谐波。

• 确定未通过的频率是共模还是差模。拆下连接到系统的所有电缆。如果辐射发生变化，则为共模。如果未发生变化，则为差模。找到原因后，使用端接或去耦技术来降低辐射。如果是共模，则向输入和输出添加 π 型滤波器。在电缆上添加共模扼流圈是一种有效的解决方案，但这种降低 EMI 的方法具有很高的成本。

5.3 静电放电

电荷的积累可能会导致器件在运行时发生静电放电 (ESD)。在处理和存储这些微控制器时应小心谨慎。所有BY320RV0025器件均经过测试，符合标准 ESD 规格，包括外设和端口引脚。这些器件额定可承受以下 ESD 测试：

2kV 人体放电模型 (HBM) 和 500V 充电器件模型 (CDM)。

电源电压干扰或 ESD 会使器件处于未知状态。因此，务必采用良好的 PCB 布局，以实现出色的噪声和 ESD 性能。类似的 ESD 保护二极管也可用于 JTAG 引脚。使关键引线（在本例中为 JTAG、XRS、X1、X2） 的环路面积尽可能小。如果您的设计需要将任何引脚（如 GPIO）连接到连接器（用于外部连接），请务必通过添加 ESD保护器件来十分谨慎地解决 ESD 问题。某些系统可能需要采用机械解决方法（例如金属屏蔽、重新布线等）来实现 ESD 保护。使用这些外部 ESD 保护器件时，请务必严格遵循器件特定数据表中指定的布局指南，从而充分提高其有效性。

6 修订历史纪录

版本	时间	内容
V1.0	2026-07-10	首次发布